Qui vanno 3 lucidi di Luciano:

- Disegno SVT: cot -> SVX -> impact param (just as reminder)
- disegno architettura (flashato per 10 sec) tanto per dire che c'e' tutto un complesso processore per farlo
- disegno dei crates e schede, per dare un'idea delle dimensioni dell'oggetto finale (flashato per 20-30 sec).
- Il prossimo lucido dara' il quadro generale della divisione del lavoro tra le istituzioni e dello stato dell'hardware

SVT Hardware status (worldwide)

		Qty	Specs	1st proto.	Test	add proto.	Test	Produc
Pisa	AMsystem	24+9						3/99
Pisa	AMchip	5000					6/98	9/98
Pisa	Hit Buffer	12+4					11/98	3/99
Pisa	Spy Ctrl	8+4			11/98	—	—	3/99
Trieste	Merger	20+6					11/98	3/99
Geneve	AMS	12+5					7/98	3/99
Chicago	Hit Finder	36+10			1/99	—	—	3/99
Chicago	Track Fitt	12+4			1/99	—	—	3/99
Chicago	Backplane	8+4						
Chicago	Glink Rec	36+10						3/99

Stato hardware in Italia

- **Hit Buffer**
  - prototipo funziona, devono essere modificati drivers e receivers frontali e VME ed altri dettagli meccanici ➔ chiesta offerta legata alla produzione: nuovo prototipo per Nov 98, produzione nel 1999
- **AM Board**
  - prototipo funziona, non serve quasi nessuna modifica per la versione finale (4 resistenze…) ➔ direttamente alla produzione nel 1999
- **AM chip**
  - piccolo problema non fatale, nuovo prototipo Giu 98. La ES2 ha anticipato chiusura fonderia ➔ **ordine** di **produzione Set 1998**
- **Merger**
  - completo rifacimento del vecchio prototipo, progetto in stato molto avanzato ➔ prototipo per Nov 98 con drivers/receivers e meccanica finali, produzione nel 1999.
- **Spy Control**
  - scheda molto semplice, progetto in via di completamento ➔ prototipo "finale" Nov 98, produzione 1999.
- **AMS**
  - come HB. D'ora in poi un problema dell'Universita' di Ginevra

Foto schede (6) e lucidi Software (4)

- Ora faccio vedere le foto delle schede ed il diagramma di flusso del test

- Poi spiego la situazione del software con i 4 lucidi di Giovanni

Stato software "VME"

- L'ambiente di lavoro finale a CDF (implementazione dello standard VITA VISION su combinazione C/CORBA/Java) e' stato appena definito.
- Finora sviluppo in ambiente C basato su RPC (Pisa):
  - routines di accesso elementare per tutte le funzioni di
    - Merger
    - Associative Memory Sequencer (AMS)
    - Hit Buffer (HB)
    - AM board
  - programma di test estensivo basato su pattern e dati randomizzati di AMS+HB+AM+Merger simultaneamente
- Sviluppo in Java basato su package precedente (ora obsoleto) di software di accesso elementare e di semplici tests per le stesse schede, sviluppo di un "test editor" grafico (Ginevra)
- Tutto questo ora funziona a Pisa
- Tutto questo dovra' essere riscritto per il package finale.

Piano di lavoro fino al 2000
(Tevatron Run II starts April 2000)

- **1998**: costruzione prototipo finale di tutti i componenti, sviluppo algoritimi e software di test, test dei singoli prototipi.

- **1999**: integrazione dei vari elementi di SVT tra loro in un test stand a Fermilab, test finale del sistema, produzione ed installazione. Sviluppo software di controllo ed operazione online ed offline.

- **2000**: integrazione a livello di sistema globale nel DAQ e Trigger di CDF, sviluppo software online ed offline ed analisi dati.

Organizzazione del lavoro in Italia

- SVILUPPO 1 (e.g. primo prototipo Merger)
    - **noi**: specifiche
    - **ditta esterna**: progetto e costruzione con totale responsabilita'
  - **troppo costoso** (schede complesse: incertezza sui tempi di lavoro)
- SVILUPPO 2 (e.g. Hit Buffer)
    - **noi**: progetto globale e dettaglio delle parti critiche con responsabilita' della correttezza del progetto
    - **ditta esterna**: progetto dettagliato e costruzione
  - **lento, complicato, molto costoso** (sharing responsabilita')
- SVILUPPO 3 (e.g. Amsystem e Merger attuale)
    - **noi**: progetto completo: schema elettrico dettagliato, programmazione di tutti gli integrati, dettagli elettrici e meccanici
    - **ditta esterna**: costruzione
  - **funziona:** grosso investimento in CAD (patrimonio della sezione) e tempo uomo nostro
- **Produzione: noi** test del prototipo e sviluppo software. Produzione e test delle n schede appaltati ad una **ditta esterna**

Responsabilita' del gruppo italiano

• Coordinamento generale	L. Ristori
• Algoritmi e Beam Alignment	G. Punzi (A. Cerri)
• Simulazione	G. Punzi (T. Nakaya)
• Hit Buffer	S. Belforte (P. Giannetti)
• Associative Memory chip	F. Morsani (M. Dell'Orso)
• Associative Memory Board	L. Ristori (F. Spinella, S. Belforte)
• Spy Control	F. Spinella
• Merger	A. M. Zanetti
• Software VME di base	F. Spinella
• AM Sequencer	Ginevra (S. Belforte)

- La responsabilita' per il software online ed offline di tutto SVT devono ancora essere definite tra Italia, Ginevra e Chicago

Hardware Milestones

- Set 98 Ordine produzione AM chips (5000)
- Nov 98 Prototipo finale Merger, Hit Buffer e Spy Control
- Gen 99 Inizio test 1/12 a Fermilab (30 deg φ-slice)
- Mar 99 Ordine produzione Merger (26)
- Ordine produzione Hit Buffer (16)
- Ordine produzione AM board (33)
- Ordine produzione Spy Control (14)
- Nov 99 Fine produzione
- Installazione a Fermilab e test
- Mar 00 Fine installazione

Rendiconto, 1 lucido soldo tra i prossimi 5

- Ho preparato 5 lucidi in diverso formato (uno e' par0 paro quello fatto vedere ai refereees e Calvetti ad Aprile, giusto in caso). Ne faremo vedere ovviamente uno solo a scelta: quello che ci piace di piu'

Utilizzo finanziamenti 1996-98

- **1996**
  - assegnati 90
  - spesi 76 (30 CAD, 18 Amsystem, 28 Hit Buffer)
- **1997**
  - assegnati 340
  - spesi 85 (20 Amchip, 55 Amsystem, 10 Merger)
- **1998**
  - assegnati 350
  - spesi 82 (24 Amchip, 58 componenti per produzione)

  - previsti 410 (300 Amchip, 20 Merger, 45 Hit Buffer, 25 Spy Ctr, 20 componenti per produzione)
  - spesa tot 492

  - ⇨ servono altri 142 MLit, da confrontare con 120 s.j. promessi nel ‘97 e 255 in avanzo dal ‘97 = 375 MLit

Utilizzo finanziamenti 1996-98

- **1996**
  - assegnati 90
  - spesi 76 (30 CAD, 18 Amsystem, 28 Hit Buffer)
- **1997**
  - assegnati 340
  - spesi 85 (20 Amchip, 55 Amsystem, 10 Merger)
- **1998**
  - assegnati 350
  - spesi 82 (24 Amchip, 58 componenti per produzione)

  - previsti 410 (300 Amchip, 20 Merger, 45 Hit Buffer, 25 Spy Ctr, 20 componenti per produzione)
  - spesa tot 492

Finanziamenti e spese SVT presentato in Aprile ai refereees

Summary SVT financial situation

	TS	PI				
Assegnazioni 1997	100	210				
Impegni	0	55	AM board			
		20	AM chips			
Residui	100	135	da			
			recuperare			
Assegnazioni 1998	100	250	*120*	*S.J.*		
Impegni	0	24	AM chips			
Residui	100	226				
Previsioni di spesa:				Totali	Totali + sblocco S.J.	
AM chips		300		300		
Hit buffer		150		150		
Spy control		25		25		
Merger	200			200		
Totali spese previste:	200	475		675		
Necessita'	100	249		349	229	
				114	-6	Recup. Res. 97

Finanziamenti e spese SVT 1997-1998

	TS		PI		
Assegnazioni 1997	130		210		
Impegni	10	Merger	55	AM board	
			20	AM chips	
Residui	120		135		
Assegnazioni 1998	100		250	*120*	*S.J.*
Impegni	0		24	AM chips	
			58	prod parts	
Residui	100		168		

Previsioni di spesa:			Totali
AM chips		300	300
Hit buffer		45	45
Spy control		25	25
Merger	20		20
prod parts	20		20
Totali spese previste:	40	370	410
Necessita'	-60	202	142

Finanziamenti e spese SVT 1996-1998

	TS		PI		
Assegnazioni 1996	0		90		
Impegni	0		30	tools	
			18	AM board	
			28	Hit Buffer	
Residui	0		14		
Assegnazioni 1997	130		210		
Impegni	10	Merger	55	AM board	
			20	AM chips	
Residui	120		135		
Assegnazioni 1998	100		250	*120*	*S.J.*
Impegni	0		24	AM chips	
			58	prod parts	
Residui	100		168		
Previsioni di spesa:					Totali
AM chips			300		300
Hit buffer			45		45
Spy control			25		25
Merger	20				20
prod parts	20				20
Totali spese previste:	40		370		410
Necessita'	-60		202		142

Piano finanziaro globale di SVT

SVT financial plan	OUT	spent	planned on off		estimated			
28-May-98	IN	assign	planned '99 (320 ML) + s.j. '98 (120ML)					
	1993	1994	1995	1996	1997	1998	1999	
tools		51	181	30				
Amchip prototypes	66	46	54		20	24		
production (5000)						300		
Amsystem prototypes		2	13	18	55			
M board prodcution (24+9)							290	
Merger ptototypes	29	37			10	20		
productin (20+6)							200	
Hit Buffer prototypes			56	28		45		
production (12+4)							155	
Spy Control prototypes						25		
production (8+4)							60	
Parts for production						58	-58	
Parts for production						20	-20	
								GT
TOTAL spent (Mlit)	95	136	304	76	85	492	627	**1815**
INFN Assigned (mlIT)	100	185	250	90	340	350	440	**1755**